

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

U.S. Patents  
9/20/00



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1999年 4月12日

出願番号  
Application Number:

平成11年特許願第104646号

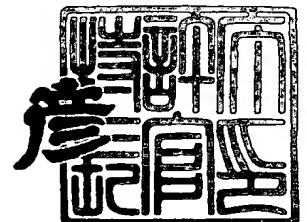
出願人  
Applicant (s):

株式会社半導体エネルギー研究所

2000年 2月25日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特2000-3009816

【書類名】 特許願

【整理番号】 P004155-01

【提出日】 平成11年 4月12日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 21/00

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 山崎 舜平

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 小山 潤

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 高山 徹

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 浜谷 敏次

【特許出願人】

    【識別番号】 000153878

    【氏名又は名称】 株式会社半導体エネルギー研究所

    【代表者】 山崎 舜平

【手数料の表示】

    【予納台帳番号】 002543

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

表示領域に設けた画素 T F T と、該表示領域の周辺に設けた駆動回路の T F T とを同一の基板上に有する半導体装置において、

前記画素 T F T と前記駆動回路の T F T とは、第 1 の導電層で形成されるゲート電極を有し、前記ゲート電極は第 2 の導電層で形成されるゲート配線と接続部で電氣的に接触し、前記接続部は、前記画素 T F T と前記駆動回路の T F T とが有するチャンネル形成領域の外側に設けられていることを特徴とする半導体装置。

【請求項 2】

表示領域に設けた画素 T F T と、該表示領域の周辺に設けた駆動回路の T F T とを同一の基板上に有する半導体装置において、

前記画素 T F T と前記駆動回路の T F T とは、第 1 の導電層で形成されるゲート電極を有し、前記ゲート電極は、第 2 の導電層で形成されるゲート配線と、前記画素 T F T と前記駆動回路の T F T とが有するチャンネル形成領域の外側に設けられた接続部で電氣的に接触し、

前記画素 T F T の L D D 領域は、該画素 T F T のゲート電極と重ならないように配置され、

前記駆動回路の第 1 の n チャンネル型 T F T の L D D 領域は、該第 1 の n チャンネル型 T F T のゲート電極と重なるように配置され、

前記駆動回路の第 2 の n チャンネル型 T F T の L D D 領域は、該第 1 の n チャンネル型 T F T のゲート電極と少なくとも一部が重なるように配置されていることを特徴とする半導体装置。

【請求項 3】

表示領域と該表示領域の周辺に設けた駆動回路とを同一の基板上に有する半導体装置において、

前記表示領域には、L D D 領域がゲート電極と重ならないように設けられた画素 T F T を有し、

前記駆動回路には、LDD領域の全部がゲート電極と重なるように設けた第1のnチャネル型TFTと、LDD領域の一部がゲート電極と重なるように設けた第2のnチャネル型TFTとを少なくとも有し、

少なくとも、前記画素TFTと、前記第1および第2のnチャネル型TFTのゲート電極は、第1の導電層で形成され、該ゲート電極に接続するゲート配線は第2の導電層で形成され、

前記ゲート電極と前記ゲート配線とは、前記画素TFTと前記駆動回路のTFTとのチャネル形成領域の外側の接続部で電氣的に接続していることを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、前記表示領域には、前記画素TFTのソースまたはドレイン領域に接続し一導電型の不純物元素を含む半導体層と、容量配線と、該半導体層と該容量配線との間の絶縁膜とで保持容量が形成され、前記容量配線は第1の導電層と第2の導電層とで形成されることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、前記第1の導電層が、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種を主成分とし、前記第2の導電層が、アルミニウムまたは銅を主成分とすることを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項4のいずれか一項において、前記第1の導電層は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種と窒素とを含む導電層(A)と、該導電層(A)上に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種を主成分とする導電層(B)と、該導電層(B)が該導電層(A)に接しない領域に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種と窒素とを含む導電層(C)とを有し、前記第2の導電層は、少なくとも、アルミニウムまたは銅を主成分とする導電層(D)と、タンタル、タングステン、チタン、モリブデンか

ら選ばれた少なくとも1種を主成分とする導電層（E）とを有することを特徴とする半導体装置。

【請求項7】

請求項1乃至請求項4のいずれか一項において、前記第1の導電層は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種と窒素とを含む導電層（A）と、該導電層（A）上に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種を主成分とする導電層（B）と、該導電層（B）が該導電層（A）に接しない領域に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種と窒素とを含む導電層（C）とを有し、前記第2の導電層は、少なくとも、アルミニウムまたは銅を主成分とする導電層（D）と、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種を主成分とする導電層（E）とを有し、前記接続部で導電層（C）と導電層（D）が接触していることを特徴とする半導体装置。

【請求項8】

請求項6または請求項7において、前記導電層（B）は、添加元素としてアルゴンを含み、かつ、該導電層（B）中の酸素濃度が30ppm以下であることを特徴とする半導体装置。

【請求項9】

請求項1乃至請求項8のいずれか一項において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤーであることを特徴とする半導体装置。

【請求項10】

表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のTFTとを同一の基板上に有する半導体装置の作製方法において、

前記画素TFTと前記駆動回路のTFTとのゲート電極を、第1の導電層で形成する工程と、

前記ゲート電極に接続するゲート配線を、第2の導電層で形成する工程とを有し、

前記ゲート電極と前記ゲート配線とは、前記画素TFTと前記駆動回路のTFT

Tとのチャネル形成領域の外側に設けられた接続部で接続することを特徴とする半導体装置の作製方法。

【請求項 1 1】

表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のTFTとを同一の基板上に有する半導体装置において、

前記駆動回路を形成する第1および第2のnチャネル型TFTの半導体層に、 $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を選択的に添加する第1の工程と、

前記画素TFTと前記駆動回路のTFTとのゲート電極を第1の導電層で形成する第2の工程と、

前記駆動回路を形成するpチャネル型TFTの半導体層に、 $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でp型を付与する不純物元素を選択的に添加する第3の工程と、

前記駆動回路を形成する第1および第2のnチャネル型TFTの半導体層と、前記画素TFTの半導体層とに、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を選択的に添加する第4の工程と、

前記画素TFTの半導体層に、少なくとも該nチャネル型TFTのゲート電極の側面を覆う絶縁膜を介して、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を選択的に添加する第5の工程と、

前記画素TFTと前記駆動回路のTFTとのゲート配線を第2の導電層で形成する第6の工程とを有し、

前記ゲート電極と前記ゲート配線とは、前記画素TFTと前記駆動回路のTFTとのチャネル形成領域の外側に設けられた接続部で接続することを特徴とする半導体装置の作製方法。

【請求項 1 2】

表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のTFTとを同一の基板上に有する半導体装置において、

前記駆動回路を形成する第1および第2のnチャネル型TFTの半導体層と、前記表示領域の保持容量を形成する半導体層とに、 $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atom}$

$s/cm^3$ の濃度範囲でn型を付与する不純物元素を選択的に添加する第1の工程と、

前記画素TFTと前記駆動回路のTFTとのゲート電極を第1の導電層で形成する第2の工程と、

前記駆動回路を形成するpチャネル型TFTの半導体層に、 $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でp型を付与する不純物元素を選択的に添加する第3の工程と、

前記駆動回路を形成する第1および第2のnチャネル型TFTの半導体層と、前記画素TFTの半導体層とに、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を選択的に添加する第4の工程と、

前記画素TFTの半導体層に、少なくとも該nチャネル型TFTのゲート電極の側面を覆う絶縁膜を介して、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を選択的に添加する第5の工程と、

前記画素TFTと前記駆動回路のTFTとのゲート配線を第2の導電層で形成する第6の工程とを有し、

前記ゲート電極と前記ゲート配線とは、前記画素TFTと前記駆動回路のTFTとのチャネル形成領域の外側に設けられた接続部で接続することを特徴とする半導体装置の作製方法。

#### 【請求項13】

請求項10乃至請求項12のいずれか一項において、

前記第1の導電層は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種を主成分として形成し

前記第2の導電層は、アルミニウムまたは銅を主成分として形成することを特徴とする半導体装置の作製方法。

#### 【請求項14】

請求項10乃至請求項12のいずれか一項において、

前記第1の導電層は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種と窒素とを含む導電層(A)を形成する工程と、

該導電層(A)上に形成されタンタル、タングステン、チタン、モリブデンか



ら選ばれた少なくとも 1 種を主成分とする導電層 (B) を形成する工程と、

該導電層 (B) が該導電層 (A) に接しない領域に形成されタンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種と窒素とを含む導電層 (C) を形成する工程とから形成され、

前記第 2 の導電層は、少なくとも、アルミニウムまたは銅を主成分とする導電層 (D) を形成する工程と、

タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする導電層 (E) を形成する工程とから形成されることを特徴とする半導体装置の作製方法。

【請求項 1 5】

請求項 1 0 乃至請求項 1 2 のいずれか一項において、

前記第 1 の導電層は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種と窒素とを含む導電層 (A) を形成する工程と、

該導電層 (A) 上に形成されタンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする導電層 (B) を形成する工程と、

該導電層 (B) が該導電層 (A) に接しない領域に形成されタンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種と窒素とを含む導電層 (C) を形成する工程とから形成され、

前記第 2 の導電層は、少なくとも、アルミニウムまたは銅を主成分とする導電層 (D) を形成する工程と、

タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする導電層 (E) を形成する工程とから形成され、

前記接続部で導電層 (C) と導電層 (D) が接続していることを特徴とする半導体装置の作製方法。

【請求項 1 6】

請求項 1 4 または請求項 1 5 において、

導電層 (A) は、アルゴンと窒素またはアンモニアとの混合雰囲気中で、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とするターゲットを用いたスパッタ法で形成することを特徴とする半導体装置の

作製方法。

【請求項 1 7】

請求項 1 4 または請求項 1 5 において、

導電層 (C) は、酸素濃度が 1 p p m 以下の窒素雰囲気中で導電層 (B) を熱処理して形成することを特徴とする半導体装置の作製方法。

【請求項 1 8】

請求項 1 4 または請求項 1 5 において、

導電層 (C) は、酸素濃度が 1 p p m 以下の窒素プラズマ雰囲気中で導電層 (B) を熱処理して形成することを特徴とする半導体装置の作製方法。

【請求項 1 9】

請求項 1 0 乃至請求項 1 8 のいずれか一項において、

前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤーであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、絶縁表面を有する基板上に薄膜トランジスタ（以下、T F T と記す）による能動回路を設けた半導体装置およびその作製方法に関する。特に本発明は、画像表示領域とその駆動回路とを同一基板上に設けた液晶表示装置に代表される電気光学装置、および電気光学装置を搭載した電子機器に好適に利用できる。尚、本明細書における半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器をその範疇に含んでいる。

【0 0 0 2】

【従来の技術】

結晶質シリコン膜で半導体層を形成した T F T（以下、結晶質シリコン T F T と記す）は電界効果移動度が高く、いろいろな機能回路を形成することが可能である。結晶質シリコン T F T を用いたアクティブマトリクス型液晶表示装置は、

画像表示領域と画像表示を行うための駆動回路が同一の基板上に形成されている。画像表示領域にはnチャネル型TFTで形成した画素TFTと保持容量が設けられおり、駆動回路にはCMOS回路を基本として形成されるシフトレジスタ回路、レベルシフタ回路、バッファ回路、サンプリング回路などから構成されている。

#### 【0003】

しかし、画素TFTと駆動回路のTFTとでは動作条件が同一でなく、従ってTFTに要求される特性は少なからず異なっている。例えば、画素TFTはスイッチ素子として機能するものであり、液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値（TFTがオフ動作時に流れるドレイン電流）を十分低くすることである。一方、制御回路のバッファ回路は高い駆動電圧が印加されるため、高電圧が印加されても壊れないように耐圧を高めておく必要がある。また電流駆動能力を高めるために、オン電流値（TFTがオン動作時に流れるドレイン電流）を十分確保する必要がある。

#### 【0004】

オフ電流値を低減するためのTFTの構造として、低濃度ドレイン（LDD：Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、LDD領域をゲート絶縁膜を介してゲート電極と重ねて配置させた、いわゆるGOLD（Gate-drain Overlapped LDD）構造が知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

#### 【0005】

一方、アクティブマトリクス型液晶表示装置の商品としての価値を高めるために、画面の大型化および高精細化が要求がなされている。しかし、画面の大型化

および高精細化により走査線（ゲート配線）の数が増えその長さも増大するので、ゲート配線の低抵抗化がより必要となる。すなわち走査線が増えるに従って液晶への充電時間が短くなり、ゲート配線の時定数（抵抗×容量）を小さくして高速で応答させる必要がある。例えば、ゲート配線を形成する材料の比抵抗が  $100\ \mu\Omega\text{cm}$  の場合には画面サイズが6インチクラスがほぼ限界となるが、 $3\ \mu\Omega\text{cm}$  の場合には27インチクラス相当まで表示が可能とされている。

#### 【0006】

##### 【発明が解決しようとする課題】

しかしながら、画素マトリクス回路の画素TFTと、シフトレジスタ回路やバッファ回路などの制御回路のTFTとでは、その要求される特性は必ずしも同じではない。例えば、画素TFTにおいてはゲートに大きな逆バイアス（nチャネル型TFTでは負の電圧）が印加されるが、制御回路のTFTは基本的に逆バイアス状態で動作することはない。また、動作速度に関しても、画素TFTは制御回路のTFTの1/100以下で良い。

#### 【0007】

また、GOLD構造はオン電流値の劣化を防ぐ効果は高いが、その反面、通常のLDD構造と比べてオフ電流値が大きくなってしまいう問題があった。従って、画素TFTに適用するには好ましい構造ではなかった。逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果は低かった。このように、アクティブマトリクス型液晶表示装置のような動作条件の異なる複数の集積回路を有する半導体装置において、全てのTFTを同じ構造で形成することは必ずしも好ましくなかった。このような問題点は、特に結晶質シリコンTFTにおいて、その特性が高まり、またアクティブマトリクス型液晶表示装置に要求される性能が高まるほど顕在化してきた。

#### 【0008】

大画面のアクティブマトリクス型の液晶表示装置を実現するために、配線材料としてアルミニウム（Al）や銅（Cu）を使用することも考えられるが、耐食性や耐熱性が悪いといった欠点があった。従って、TFTのゲート電極をこのよ

うな材料で形成することは必ずしも好ましくなく、そのような材料をTFTの製造工程に導入することは容易ではなかった。勿論、配線を他の導電性材料で形成することも可能であるが、アルミニウム（Al）や銅（Cu）ほど低抵抗な材料はなく、大画面の表示装置を作製することはできなかった。

#### 【0009】

##### 【課題を解決するための手段】

上記問題点を解決するために、本発明の構成は、表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のTFTとを同一の基板上に有する半導体装置において、前記画素TFTと前記駆動回路のTFTとは、第1の導電層で形成されるゲート電極を有し、前記ゲート電極は、第2の導電層で形成されるゲート配線と接続部で電氣的に接触し、前記接続部は、前記画素TFTと前記駆動回路のTFTとが有するチャンネル形成領域の外側に設けられていることを特徴としている。

#### 【0010】

また、他の発明の構成は、表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のTFTとを同一の基板上に有する半導体装置において、前記画素TFTと前記駆動回路のTFTとは、第1の導電層で形成されるゲート電極を有し、前記ゲート電極は、第2の導電層で形成されるゲート配線と、前記画素TFTと前記駆動回路のTFTとが有するチャンネル形成領域の外側に設けられた接続部で電氣的に接触し、前記画素TFTのLDD領域は、該画素TFTのゲート電極と重ならないように配置され、前記駆動回路の第1のnチャンネル型TFTのLDD領域は、該第1のnチャンネル型TFTのゲート電極と重なるように配置され、前記駆動回路の第2のnチャンネル型TFTのLDD領域は、該第1のnチャンネル型TFTのゲート電極と少なくとも一部が重なるように配置されていることを特徴としている。

#### 【0011】

上記本発明の構成において、前記第1の導電層は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種と窒素とを含む導電層（A）と、該導電層（A）上に形成され、タンタル、タングステン、チタン、モリブデン

から選ばれた少なくとも1種を主成分とする導電層(B)と、該導電層(B)が該導電層(A)に接しない領域に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種と窒素とを含む導電層(C)とを有し、前記第2の導電層は、少なくとも、アルミニウムまたは銅を主成分とする導電層(D)と、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも1種を主成分とする導電層(E)とを有し、前記接続部で導電層(C)と導電層(D)が接触していることを特徴としている。前記導電層(B)は、添加元素としてアルゴンを含み、かつ、該導電層(B)中の酸素濃度が30ppm以下であることを望ましい。

#### 【0012】

上記問題点を解決するために、本発明の半導体装置の作製方法は、表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のTFTとを同一の基板上に有する半導体装置の作製方法において、前記画素TFTと前記駆動回路のTFTとのゲート電極を、第1の導電層で形成する工程と、前記ゲート電極に接続するゲート配線を、第2の導電層で形成する工程とを有し、前記ゲート電極と前記ゲート配線とは、前記画素TFTと前記駆動回路のTFTとのチャネル形成領域の外側に設けられた接続部で接続することを特徴としている。

#### 【0013】

また、本発明の半導体装置の作製方法は、表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のTFTとを同一の基板上に有する半導体装置において、前記駆動回路を形成する第1および第2のnチャネル型TFTの半導体層に、 $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を選択的に添加する第1の工程と、前記画素TFTと前記駆動回路のTFTとのゲート電極を第1の導電層で形成する第2の工程と、前記駆動回路を形成するpチャネル型TFTの半導体層に、 $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でp型を付与する不純物元素を選択的に添加する第3の工程と、前記駆動回路を形成する第1および第2のnチャネル型TFTの半導体層と、前記画素TFTの半導体層とに、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を選択的に添加する第4の工程と、前記画素TFTの半導体層に

、少なくとも該  $n$  チャンネル型 T F T のゲート電極の側面を覆う絶縁膜を介して、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$  の濃度範囲で  $n$  型を付与する不純物元素を選択的に添加する第 5 の工程と、前記画素 T F T と前記駆動回路の T F T とのゲート配線を第 2 の導電層で形成する第 6 の工程とを有し、前記ゲート電極と前記ゲート配線とは、前記画素 T F T と前記駆動回路の T F T とのチャンネル形成領域の外側に設けられた接続部で接続することを特徴としている。

## 【 0 0 1 4 】

上記本発明の半導体装置の作製方法において、

前記第 1 の導電層は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種と窒素とを含む導電層 (A) を形成する工程と、該導電層 (A) 上に形成されタンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする導電層 (B) を形成する工程と、該導電層 (B) が該導電層 (A) に接しない領域に形成されタンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種と窒素とを含む導電層 (C) を形成する工程とから形成され、前記第 2 の導電層は、少なくとも、アルミニウムまたは銅を主成分とする導電層 (D) を形成する工程と、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする導電層 (E) を形成する工程とから形成され、前記接続部で導電層 (C) と導電層 (D) が接続していることを特徴としている。導電層 (A) は、アルゴンと窒素またはアンモニアとの混合雰囲気中で、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とするターゲットを用いたスパッタ法で形成することが可能であり、導電層 (C) は、酸素濃度が 1 p p m 以下の窒素雰囲気中で導電層 (B) を熱処理して形成することが望ましい。また、導電層 (C) は、酸素濃度が 1 p p m 以下の窒素プラズマ雰囲気中で導電層 (B) を熱処理して形成しても良い。

## 【 0 0 1 5 】

【発明の実施の形態】

[実施形態 1]

本発明の実施形態を図 1 ～図 5 を用いて説明する。ここでは表示領域の画素 T

F Tと、表示領域の周辺に設けられる駆動回路のT F Tを同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、制御回路ではシフトレジスタ回路、バッファ回路などの基本回路であるC M O S回路と、サンプリング回路を形成するnチャネル型T F Tとを図示することにする。

#### 【0016】

図1 (A) において、基板101には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。この基板101のT F Tを形成する表面には、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜102を形成する。例えば、プラズマC V D法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜を100nm、同様に $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜を200nmの厚さに積層形成する。

#### 【0017】

次に、20～150nm（好ましくは30～80nm）の厚さで非晶質構造を有する半導体膜103aを、プラズマC V D法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマC V D法で非晶質シリコン膜を55nmの厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質シリコン膜103aとは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気には晒さないことでその表面の汚染を防ぐことが可能となり、作製するT F Tの特性バラツキやしきい値電圧の変動を低減させることができる。（図1 (A)）

#### 【0018】

そして、公知の結晶化技術を使用して非晶質シリコン膜103aから結晶質シリコン膜103bを形成する。例えば、レーザー結晶化法や熱結晶化法（固相成長法）を適用すれば良いが、ここでは、特開平7-130652号公報で開示さ



れた技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜 103b を形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400～500℃で1時間程度の熱処理を行い、含有水素量を5 atom%以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ（本実施例では55 nm）よりも1～15%程度減少した。（図1（B））

#### 【0019】

そして、結晶質シリコン膜 103b を島状に分割して、島状半導体層 104～107 を形成する。その後、プラズマCVD法またはスパッタ法により50～100 nmの厚さの酸化シリコン膜によるマスク層 108 を形成する。（図1（C））

#### 【0020】

そしてレジストマスク 109 を設け、nチャネル型TFETを形成する島状半導体層 105～107 の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度でp型を付与する不純物元素としてボロン（B）を添加した。ボロン（B）の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン（B）添加は必ずしも必要でないが、ボロン（B）を添加した半導体層 110～112 はnチャネル型TFETのしきい値電圧を所定の範囲内に収めるために形成することが好ましかった。（図1（D））

#### 【0021】

駆動回路のnチャネル型TFETのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層 110、111 に選択的に添加する。そのため、あらかじめレジストマスク 113～116 を形成した。n型を付与する不純物元素としては、リン（P）や砒素（As）を用いれば良く、ここではリン（P）を添加すべく、フォスフィン（ $\text{PH}_3$ ）を用いたイオンドープ法を適用した。形成された不純物領域 117、118 のリン（P）濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域 11

7～119に含まれるn型を付与する不純物元素の濃度を( $n^-$ )と表す。また、不純物領域119は、画素マトリクス回路の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加した。(図2(A))

#### 【0022】

次に、マスク層108をフッ酸などにより除去して、図1(D)と図2(A)で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500～600℃で1～4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrFエキシマレーザー光(波長248nm)を用い、線状ビームを形成して、発振周波数5～50Hz、エネルギー密度100～500mJ/cm<sup>2</sup>として線状ビームのオーバーラップ割合を80～98%として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

#### 【0023】

そして、ゲート絶縁膜120をプラズマCVD法またはスパッタ法を用いて10～150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図2(B))

#### 【0024】

次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層(A)121と金属膜から成る導電層(B)122とを積層させた。導電層(B)122はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)121は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)で形成する。また、導電層(A)121は代替材料として、タングステンシリサイド、チタンシリサイド、

モリブデンシリサイドを適用しても良い。導電層 (B) は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては 30 ppm 以下とすると良かった。例えば、タングステン (W) は酸素濃度を 30 ppm 以下とすることで  $20 \mu\Omega\text{cm}$  以下の比抵抗値を実現することができた。

#### 【0025】

導電層 (A) 121 は 10~50 nm (好ましくは 20~30 nm) とし、導電層 (B) 122 は 200~400 nm (好ましくは 250~350 nm) とすれば良い。本実施例では、導電層 (A) 121 に 30 nm の厚さの窒化タンタル膜を、導電層 (B) 122 には 350 nm の Ta 膜を用い、いずれもスパッタ法で形成した。このスパッタ法による成膜では、スパッタ用のガスの Ar に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層 (A) 121 の下に 2~20 nm 程度の厚さでリン (P) をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層 (A) または導電層 (B) が微量に含有するアルカリ金属元素がゲート絶縁膜 120 に拡散するのを防ぐことができる。(図 2 (C))

#### 【0026】

次に、レジストマスク 123~127 を形成し、導電層 (A) 121 と導電層 (B) 122 とを一括でエッチングしてゲート電極 128~131 と容量配線 132 を形成する。ゲート電極 128~131 と容量配線 132 は、導電層 (A) から成る 128a~132a と、導電層 (B) から成る 128b~132b とが一体として形成されている。この時、駆動回路に形成するゲート電極 129、130 は不純物領域 117、118 の一部と、ゲート絶縁膜 120 を介して重なるように形成する。(図 2 (D))

#### 【0027】

次いで、駆動回路の p チャネル型 TFT のソース領域およびドレイン領域を形成するために、p 型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極 128 をマスクとして、自己整合的に不純物領域を形成する。このとき、n チャネル型 TFT が形成される領域はレジストマスク 133 で被覆しておく

。そして、ジボラン ( $B_2H_6$ ) を用いたイオンドープ法で不純物領域 134 を形成した。この領域のボロン (B) 濃度は  $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$  となるようにする。本明細書中では、ここで形成された不純物領域 134 に含まれる p 型を付与する不純物元素の濃度を ( $p^+$ ) と表す。(図 3 (A))

## 【0028】

次に、n チャネル型 TFT において、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク 135~137 を形成し、n 型を付与する不純物元素が添加して不純物領域 138~142 を形成した。これは、フォスフィン ( $PH_3$ ) を用いたイオンドープ法で行い、この領域のリン (P) 濃度を  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  とした。本明細書中では、ここで形成された不純物領域 138~142 に含まれる n 型を付与する不純物元素の濃度を ( $n^+$ ) と表す。(図 3 (B))

## 【0029】

不純物領域 138~142 には、既に前工程で添加されたリン (P) またはボロン (B) が含まれているが、それに比して十分に高い濃度でリン (P) が添加されるので、前工程で添加されたリン (P) またはボロン (B) の影響は考えなくても良い。また、不純物領域 138 に添加されたリン (P) 濃度は図 3 (A) で添加されたボロン (B) 濃度の  $1/2 \sim 1/3$  なので p 型の導電性が確保され、TFT の特性に何ら影響を与えることはなかった。

## 【0030】

そして、画素マトリクス回路の n チャネル型 TFT の LDD 領域を形成するための n 型を付与する不純物添加の工程を行った。ここではゲート電極 131 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドープ法で添加した。添加するリン (P) の濃度は  $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$  であり、図 2 (A) および図 3 (A) と図 3 (B) で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域 143、144 のみが形成される。本明細書中では、この不純物領域 143、144 に含まれる n 型を付与する不純物元素の濃度を ( $n^-$ ) と表す。(図 3 (C))

## 【0031】

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーンেসアニール法、レーザーアニール法、またはラピッドサーマルアニール法（RTA 法）で行うことができる。ここではファーンেসアニール法で活性化工程を行った。熱処理は酸素濃度が 1 p p m 以下、好ましくは 0. 1 p p m 以下の窒素雰囲気中で 4 0 0 ~ 8 0 0 °C、代表的には 5 0 0 ~ 6 0 0 °C で行うものであり、本実施例では 5 5 0 °C で 4 時間の熱処理を行った。また、基板 1 0 1 に石英基板のような耐熱性を有するものを使用した場合には、8 0 0 °C で 1 時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができた。

#### 【0 0 3 2】

この熱処理において、ゲート電極 1 2 8 ~ 1 3 1 と容量配線 1 3 2 形成する金属膜 1 2 8 b ~ 1 3 2 b は、表面から 5 ~ 8 0 n m の厚さで導電層（C）1 2 8 c ~ 1 3 2 c が形成される。例えば、導電層（B）1 2 8 b ~ 1 3 2 b がタングステン（W）の場合には窒化タングステン（WN）が形成され、タンタル（Ta）の場合には窒化タンタル（Ta N）を形成することができる。また、導電層（C）1 2 8 c ~ 1 3 2 c は、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極 1 2 8 ~ 1 3 1 を晒しても同様に形成することができ。さらに、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 °C で 1 ~ 1 2 時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

#### 【0 0 3 3】

島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留した。勿論、そのような状態でも T F T を完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン（P）によるゲッタリング作用を利用する手段があった。ゲ

ッタリングに必要なリン (P) の濃度は図 3 (B) で形成した不純物領域 ( $n^+$ ) と同程度であり、ここで実施される活性化工程の熱処理により、 $n$ チャネル型 TFT および  $p$ チャネル型 TFT のチャネル形成領域から触媒元素をゲッタリングをすることができた。(図 3 (D))

#### 【0034】

図 6 (A) および図 7 (A) はここまでの工程における TFT の上面図であり、 $A-A'$  断面および  $C-C'$  断面は図 3 (D) の  $A-A'$  および  $C-C'$  に対応している。また、 $B-B'$  断面および  $D-D'$  断面は図 8 (A) および図 9 (A) の断面図に対応している。図 6 および図 7 の上面図はゲート絶縁膜を省略しているが、ここまでの工程で少なくとも島状半導体層 104~107 上にゲート電極 128~131 と容量配線 132 が図に示すように形成されている。

#### 【0035】

活性化および水素化の工程が終了したら、ゲート配線とする第 2 の導電膜を形成する。この第 2 の導電膜は低抵抗材料であるアルミニウム (Al) や銅 (Cu) を主成分とする導電層 (D) と、にチタン (Ti) やタンタル (Ta)、タングステン (W)、モリブデン (Mo) から成る導電層 (E) とで形成すると良い。本実施例では、チタン (Ti) を 0.1~2 重量%含むアルミニウム (Al) 膜を導電層 (D) 145 とし、チタン (Ti) 膜を導電層 (E) 146 として形成した。導電層 (D) 145 は 200~400 nm (好ましくは 250~350 nm) とすれば良く、導電層 (E) 146 は 50~200 (好ましくは 100~150 nm) で形成すれば良い。(図 4 (A))

#### 【0036】

そして、ゲート電極に接続するゲート配線を形成するために導電層 (E) 146 と導電層 (D) 145 とをエッチング処理して、ゲート配線 147、148 と容量配線 149 を形成した。エッチング処理は最初に  $SiCl_4$  と  $Cl_2$  と  $BCl_3$  との混合ガスを用いたドライエッチング法で導電層 (E) の表面から導電層 (D) の途中まで除去し、その後リン酸系のエッチング溶液によるウェットエッチングで導電層 (D) を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた。

## 【0037】

図6 (B) および図7 (B) はこの状態の上面図を示し、A-A'断面およびC-C'断面は図4 (B) のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図8 (B) および図9 (B) のB-B'およびD-D'に対応している。図6 (B) および図7 (B) において、ゲート配線147、148の一部は、ゲート電極128、129、131の一部と重なり電氣的に接触している。この様子はB-B'断面およびD-D'断面に対応した図8 (B) および図9 (B) の断面構造図からも明らかで、第1の導電層を形成する導電層(C)と第2の導電層を形成する導電層(D)とが電氣的に接触している。

## 【0038】

第1の層間絶縁膜150は500～1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線151～154と、ドレイン配線155～158を形成する。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

## 【0039】

次に、パッシベーション膜159として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50～500nm (代表的には100～300nm) の厚さで形成する。この状態で水素化処理を行うとTFETの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜159に開口部を形成しておいても良い。(図4 (C))

## 【0040】

図6 (C) および図7 (C) のはこの状態の上面図を示し、A-A'断面およびC-C'断面は図4 (C) のA-A'およびC-C'に対応している。また、B-

B'断面およびD-D'断面は図8(C)および図9(C)のB-B'およびD-D'に対応している。図6(C)と図7(C)では第1の層間絶縁膜を省略して示すが、島状半導体層104、105、107の図示されていないソースおよびドレイン領域にソース配線151、152、154とドレイン配線155、156、158が第1の層間絶縁膜に形成されたコンタクトホールを介して接続している。

#### 【0041】

その後、有機樹脂からなる第2の層間絶縁膜160を1.0～1.5 $\mu$ mの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。そして、第2の層間絶縁膜160にドレイン配線158に達するコンタクトホールを形成し、画素電極161、162を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置するために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。（図5）

#### 【0042】

こうして同一基板上に、駆動回路のTFTと表示領域の画素TFTとを有した基板を完成させることができた。駆動回路にはpチャネル型TFT201、第1のnチャネル型TFT202、第2のnチャネル型TFT203、表示領域には画素TFT204、保持容量205が形成した。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

#### 【0043】

駆動回路のpチャネル型TFT201には、島状半導体層104にチャネル形成領域206、ソース領域207a、207b、ドレイン領域208a、208bを有している。第1のnチャネル型TFT202には、島状半導体層105にチャネル形成領域209、ゲート電極129と重なるLDD領域210（以降、このようなLDD領域をLovと記す）、ソース領域211、ドレイン領域212



を有している。このL<sub>ov</sub>領域のチャネル長方向の長さは0.5～3.0 μm、好ましくは1.0～1.5 μmとした。第2のnチャネル型TFT203には、島状半導体層106にチャネル形成領域213、LDD領域214、215、ソース領域216、ドレイン領域217を有している。このLDD領域はL<sub>ov</sub>領域とゲート電極130と重ならないLDD領域（以降、このようなLDD領域をL<sub>off</sub>と記す）とが形成され、このL<sub>off</sub>領域のチャネル長方向の長さは0.3～2.0 μm、好ましくは0.5～1.5 μmである。画素TFT204には、島状半導体層107にチャネル形成領域218、219、L<sub>off</sub>領域220～223、ソースまたはドレイン領域224～226を有している。L<sub>off</sub>領域のチャネル長方向の長さは0.5～3.0 μm、好ましくは1.5～2.5 μmである。さらに、容量配線132、149と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT204のドレイン領域226に接続し、n型を付与する不純物元素が添加された半導体層227とから保持容量205が形成されている。図5では画素TFT204をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

#### 【0044】

以上の様に本発明は、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能とすることができる。さらにゲート電極を耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易とし、ゲート配線低抵抗材料で形成することにより、配線抵抗を十分低減できる。従って、表示領域（画面サイズ）が4インチクラス以上の表示装置に適用することができる。

#### 【0045】

##### [実施形態2]

図16はゲート電極とゲート配線の他の実施形態を示す図である。図16のゲート電極とゲート配線は実施形態1で示す工程と同様にして形成されるものであり、島状半導体層901とゲート絶縁膜902の上方に形成されている。

#### 【0046】

図16 (A)において、ゲート電極とする第1の導電層には、導電層(A) 903は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)で形成する。導電層(B) 904はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜で形成し、その表面に実施形態1と同様にして導電層(C) 905を形成する。導電層(A) 903は10~50nm(好ましくは20~30nm)とし、導電層(B) 904は200~400nm(好ましくは250~350nm)とすれば良い。ゲート配線とする第2の導電層は低抵抗材料であるアルミニウム(Al)や銅(Cu)を主成分とする導電層(D)と、その上にチタン(Ti)やタンタル(Ta)などで形成する導電層(E)とを積層形成する。アルミニウム(Al)や銅(Cu)はストレスマイグレーションやエレクトロマイグレーションで容易に拡散するため、第2の導電層を被覆するように窒化シリコン膜908を50~150nmの厚さで形成することが必要である。

#### 【0047】

図16 (B)は実施形態1と同様に作製されるゲート電極とゲート配線であり、ゲート電極の下にリン(P)をドーピングしたシリコン膜909を形成してある。リン(P)をドーピングしたシリコン膜909はゲート電極中に含まれる微量のアルカリ金属元素がゲート絶縁膜へ拡散することを防ぐ効果があり、TFTの信頼性を確保する目的で有用である。

#### 【0048】

図16 (C)は、ゲート電極を形成する第1の導電層にリン(P)をドーピングしたシリコン膜910で形成した例である。リン(P)をドーピングしたシリコン膜は他の導電性金属材料と比較して高抵抗材料であるが、ゲート配線を形成する第2の導電層をアルミニウム(Al)や銅(Cu)で形成することにより、大面積の液晶表示装置にも適用することができる。ここでは、ゲート配線を、Ti膜を100nm、Tiを含むアルミニウム(Al)膜300nm、Ti膜150nmで形成した3層構造とし、アルミニウム(Al)膜とリン(P)をドーピングしたシリコン膜とを直接接触しないようにすることにより、耐熱性を持たせることができ

る。

### 【0049】

#### [実施形態3]

図15は本発明のTFTの構造を説明するための図であり、半導体層のチャネル形成領域と、LDD領域と、半導体層上のゲート絶縁膜と、ゲート絶縁膜上のゲート電極とを有するTFTにおいて、ゲート電極とLDD領域の位置関係を説明している。

### 【0050】

図15(A)において、チャネル形成領域209、LDD領域210、ドレイン領域212を有する半導体層と、その上のゲート絶縁膜120とゲート電極129が設けられた構成を示している。LDD領域210はゲート絶縁膜120を介してゲート電極129と重なるように設けられてたLovとなっている。Lovはドレイン近傍で発生する高電界を緩和する作用があり、ホットキャリアによる劣化を防ぐことができ、制御回路のシフトレジスタ回路、レベルシフタ回路、バッファ回路などのnチャネル型TFTに用いるのに適している。

### 【0051】

図15(B)において、チャネル形成領域213、LDD領域215a、215b、ドレイン領域217を有する半導体層と、半導体層の上にゲート絶縁膜120とゲート電極130が設けられた構成を示している。LDD領域215aはゲート絶縁膜120を介してゲート電極130と重なるように設けられている。また、LDD領域215bはゲート電極130と重ならないように設けられたLoffとなっている。Loffはオフ電流値を低減させる作用があり、LovとLoffとを設けた構成にすることで、ホットキャリアによる劣化を防ぐと同時にオフ電流値を低減させることができ、制御回路のサンプリング回路のnチャネル型TFTに用いるのに適している。

### 【0052】

図15(C)は、半導体層に、チャネル形成領域219、LDD領域223、ドレイン領域226が設けられている。LDD領域223は、ゲート電極131と重ならないように設けられたLoffであり、オフ電流値を効果的に低減させる

ことが可能となり、画素TFTに用いるのに適している。画素TFTのLDD領域223におけるn型を付与する不純物元素の濃度は、駆動回路のLDD領域210、215の濃度よりも1/2から1/10にすることが望ましい。

#### 【0053】

##### [実施形態4]

本実施形態では、アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図11に示すように、実施形態1で作製した図5の状態のアクティブマトリクス基板に対し、配向膜601を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の対向基板602には、遮光膜603、透明導電膜604および配向膜605を形成した。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素マトリクス回路と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料606を注入し、封止剤（図示せず）によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図11に示すアクティブマトリクス型液晶表示装置が完成した。

#### 【0054】

次にこのアクティブマトリクス型液晶表示装置の構成を、図12の斜視図および図13の上面図を用いて説明する。尚、図12と図13は、図1～図5と図11の断面構造図と対応付けるため、共通の符号を用いている。また、図13で示すE-E'に沿った断面構造は、図5に示す画素マトリクス回路の断面図に対応している。

#### 【0055】

図12においてアクティブマトリクス基板は、ガラス基板101上に形成された、表示領域306と、走査信号駆動回路304と、画像信号駆動回路305で構成される。表示領域には画素TFT204が設けられ、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路304と、画像信号駆動回路305はそれぞれゲート配線131とソース配線154で画素

TFT204に接続している。また、FPC731が外部入力端子734に接続され、入力配線302、303でそれぞれの駆動回路に接続している。

#### 【0056】

図13は表示領域306のほぼ一画素分を示す上面図である。ゲート配線148は、図示されていないゲート絶縁膜を介してその下の半導体層107と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、 $n^{++}$ 領域でなるLoff領域が形成されている。また、163はソース配線154とソース領域224とのコンタクト部、164はドレイン配線158とドレイン領域226とのコンタクト部、165はドレイン配線158と画素電極161のコンタクト部である。保持容量205は、画素TFT204のドレイン領域226から延在する半導体層227とゲート絶縁膜を介して容量配線132、149が重なる領域で形成されている。

#### 【0057】

なお、本実施例のアクティブマトリクス型液晶表示装置は、実施形態1で説明した構造と照らし合わせて説明したが、実施形態2の構成とも自由に組み合わせてアクティブマトリクス型液晶表示装置を作製することができる。

#### 【0058】

##### [実施形態5]

図10は液晶表示装置の入出力端子、表示領域、駆動回路の配置の一例を示す図である。表示領域306にはm本のゲート配線とn本のソース配線がマトリクス状に交差している。例えば、画素密度がVGAの場合、480本のゲート配線と640本のソース配線が形成され、XGAの場合には768本のゲート配線と1024本のソース配線が形成される。表示領域の画面サイズは、13インチクラスの場合対角線の長さは340mmとなり、18インチクラスの場合には460mmとなる。このような液晶表示装置を実現するには、ゲート配線を実施形態1および実施形態2で示したような低抵抗材料で形成する必要がある。

#### 【0059】

表示領域306の周辺には走査信号駆動回路304と画像信号駆動回路305が設けられている。これらの駆動回路のゲート配線の長さも表示領域の画面サイ

ズの大型化と共に必然的に長くなるので、大画面を実現するためには実施形態1および実施形態2で示したような低抵抗材料で形成することが好ましい。

#### 【0060】

また、本発明は入力端子301から各駆動回路までを接続する入力配線302、303をゲート配線と同じ材料で形成することができ、配線抵抗の低抵抗化に寄与することができる。

#### 【0061】

##### 〔実施形態6〕

図14は実施形態1または実施形態2で示したアクティブマトリクス基板の回路構成の一例であり、直視型の表示装置の回路構成を示す図である。本実施例のアクティブマトリクス基板は、画像信号駆動回路1001、走査信号駆動回路(A)1007、走査信号駆動回路(B)1011、プリチャージ回路1012、画素マトリクス回路1006を有している。尚、本明細書中において記した駆動回路とは、画像信号駆動回路1001、走査信号駆動回路(A)1007を含めた総称である。

#### 【0062】

画像信号駆動回路1001は、シフトレジスタ回路1002、レベルシフタ回路1003、バッファ回路1004、サンプリング回路1005を備えている。また、走査信号駆動回路(A)1007は、シフトレジスタ回路1008、レベルシフタ回路1009、バッファ回路1010を備えている。走査信号駆動回路(B)1011も同様な構成である。

#### 【0063】

シフトレジスタ回路1002、1008は駆動電圧が5～16V（代表的には10V）であり、この回路を形成するCMOS回路のnチャネル型TFTは図5の202で示される構造が適している。また、レベルシフタ回路1003、1009やバッファ回路1004、1010は駆動電圧が14～16Vと高くなるが、シフトレジスタ回路と同様に、図5のnチャネル型TFT202を含むCMOS回路が適している。これらの回路において、ゲートをマルチゲート構造で形成すると耐圧が高まり、回路の信頼性を向上させる上で有効である。

## 【0064】

サンプリング回路1005は駆動電圧が14～16Vであるが、極性が交互に反転して駆動される上、オフ電流値を低減させる必要があるため、図5のnチャネル型TFT203を含むCMOS回路が適している。図5では、nチャネル型TFTしか表示はされていないが、実際のサンプリング回路においてはpチャネル型TFTも組み合わせて形成される。この時、pチャネル型TFTは同図201で示される構造で十分である。

## 【0065】

また、画素TFT204は駆動電圧が14～16Vであり、低消費電力化の観点からサンプリング回路よりもさらにオフ電流値を低減することが要求され、画素TFT204のようにゲート電極に対して重ならないように設けられたLDD(Loff)領域を有した構造とするのが望ましい。

## 【0066】

尚、本実施形態の構成は、実施形態1に示した工程に従ってTFTを作製することによって容易に実現することができる。本実施形態では、表示領域と制御回路の構成のみを示しているが、実施形態1の工程に従えば、その他にも信号分割回路、分周波回路、D/Aコンバータ、 $\gamma$ 補正回路、オペアンプ回路、さらにメモリ回路や演算処理回路などの信号処理回路、あるいは論理回路を同一基板上に形成することが可能である。このように、本発明は同一基板上に画素マトリクス回路とその制御回路とを含む半導体装置、例えば信号制御回路および画素マトリクス回路を具備した半導体装置を実現することができる。

## 【0067】

## [実施形態7]

本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍など）、ナビゲーションシステムなどが上げられる。それらの一例を図17に示す。

【 0 0 6 8 】

図 1 7 (A) はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体 2 0 0 1、画像入力部 2 0 0 2、表示装置 2 0 0 3、キーボード 2 0 0 4 で構成される。本発明は表示装置 2 0 0 3 やその他の信号処理回路を形成することができる。

【 0 0 6 9 】

図 1 7 (B) はビデオカメラであり、本体 2 1 0 1、表示装置 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 で構成される。本発明は表示装置 2 1 0 2 やその他の信号制御回路に適用することができる。

【 0 0 7 0 】

図 1 7 (C) は携帯情報端末であり、本体 2 2 0 1、画像入力部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示装置 2 2 0 5 で構成される。本発明は表示装置 2 2 0 5 やその他の信号制御回路に適用することができる。

【 0 0 7 1 】

図 1 7 (D) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1、表示装置 2 4 0 2、スピーカー部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 で構成される。尚、記録媒体には DVD (Digital Versatile Disc) やコンパクトディスク (CD) などを用い、音楽プログラムの再生や映像表示、ビデオゲーム（またはテレビゲーム）やインターネットを介した情報表示などを行うことができる。本発明は表示装置 2 4 0 2 やその他の信号制御回路に好適に利用することができる。

【 0 0 7 2 】

図 1 7 (E) はデジタルカメラであり、本体 2 5 0 1、表示装置 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部（図示しない）で構成される。本発明は表示装置 2 5 0 2 やその他の信号制御回路に適用することができる。

【 0 0 7 3 】

このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 6 のどのよ



うな組み合わせから成る構成を用いても実現することができる。

#### 【0074】

##### 【発明の効果】

本発明を用いることで、同一の基板上に複数の機能回路が形成された半導体装置（ここでは具体的には電気光学装置）において、その機能回路が要求する仕様に応じて適切な性能のTFTを配置することが可能となり、その動作特性や信頼性を大幅に向上させることができる。特に、画素マトリクス回路のnチャネル型TFTのLDD領域を $n^-$ の濃度でかつLoffのみとして形成することにより、大幅にオフ電流値を低減でき、画素マトリクス回路の低消費電力化に寄与することができる。また、制御回路のnチャネル型TFTのLDD領域を $n^-$ の濃度でかつLovのみとして形成することにより、電流駆動能力を高め、かつ、ホットキャリアによる劣化を防ぎ、オン電流値の劣化を低減することができる。また、そのような電気光学装置を表示媒体として有する半導体装置（ここでは具体的に電子機器）の動作性能と信頼性も向上させることができる。

#### 【0075】

さらに画素TFTおよび駆動回路のTFTのゲート電極を耐熱性の高い導電性材料で形成し、ゲート電極に接続するゲート配線をアルミニウム（Al）などの低抵抗材料で形成することで、上記のような良好なTFT特性を実現し、そのようなTFTを用いて4インチクラス以上の大画面の表示装置を実現することができる。

##### 【図面の簡単な説明】

【図1】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。

【図2】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。

【図3】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。

【図4】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。

【図5】 画素TFT、保持容量、駆動回路のTFTの断面図。

【図6】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す上面図。

【図7】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す上面図。

【図8】 駆動回路のTFTの作製工程を示す上面図。

【図 9】 画素 T F T の作製工程を示す上面図。

【図 1 0】 液晶表示装置の入出力端子、配線回路配置を示す上面図。

【図 1 1】 液晶表示装置の構造を示す断面図。

【図 1 2】 液晶表示装置の構造を示す斜視図。

【図 1 3】 表示領域の画素を示す上面図

【図 1 4】 液晶表示装置の回路ブロック図

【図 1 5】 ゲート電極と L D D 領域の位置関係を示す図。

【図 1 6】 ゲート電極とゲート配線の接続を示す図。

【図 1 7】 半導体装置の一例を示す図。

【符号の説明】

1 0 1 基板

1 0 2 下地膜

1 0 3 b 結晶質半導体層

1 0 4 ~ 1 0 7 島状半導体層

1 2 8 ~ 1 3 1 ゲート電極、1 3 2 容量配線

1 2 8 a ~ 1 3 2 a 導電層 (A)

1 2 8 b ~ 1 3 2 b 導電層 (B)

1 2 8 c ~ 1 3 2 c 導電層 (C)

1 4 7、1 4 8 ゲート配線、1 4 9 容量配線

1 4 7 a ~ 1 4 9 a 導電層 (D)

1 4 7 b ~ 1 4 9 b 導電層 (E)

1 5 0 第 1 の層間絶縁膜

1 5 1 ~ 1 5 4 ソース配線

1 5 5 ~ 1 5 8 ドレイン電極

1 5 9 パッシベーション膜

1 6 0 第 2 の層間絶縁膜

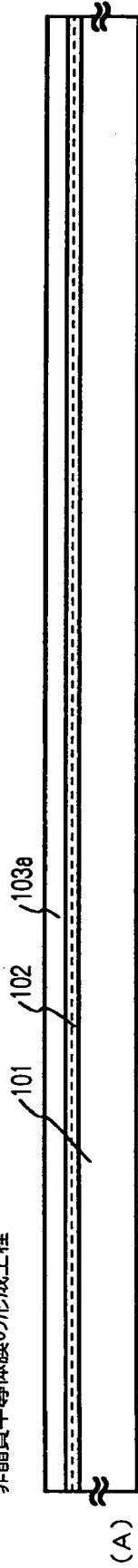
1 6 1、1 6 2 画素電極

【書類名】

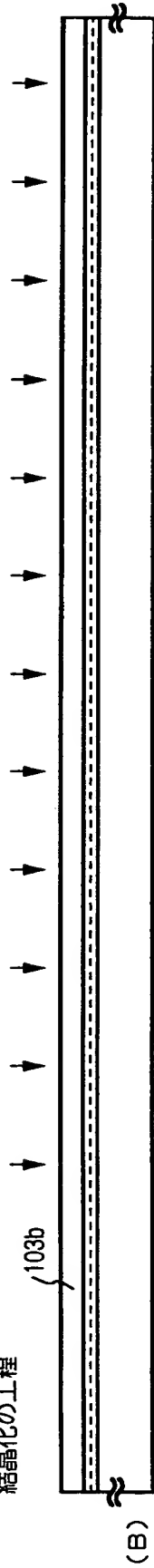
図面

【図 1】

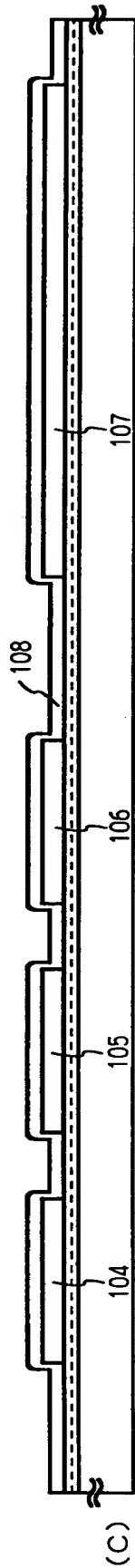
非晶質半導体膜の形成工程



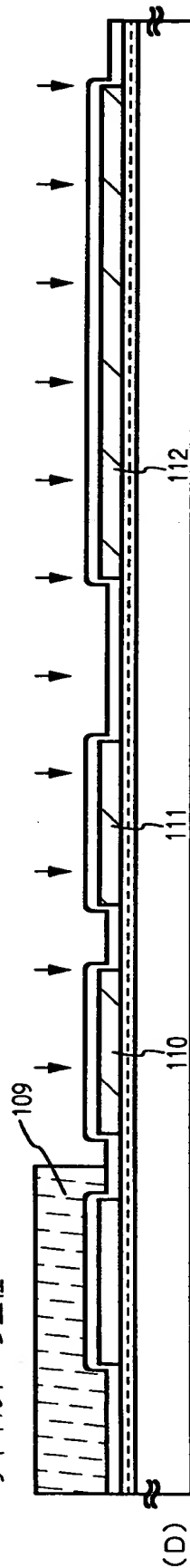
結晶化の工程



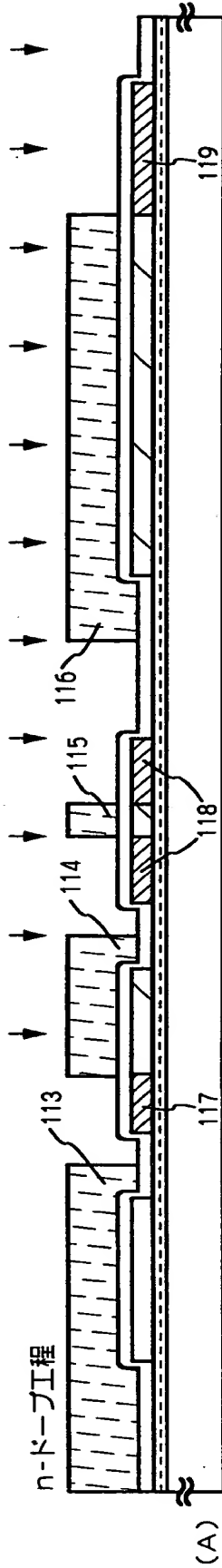
マウ層形成工程



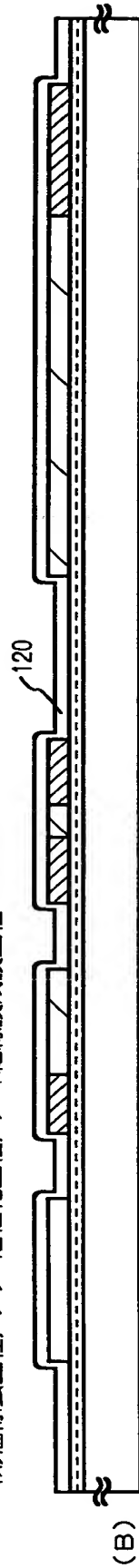
チャネルドープ工程



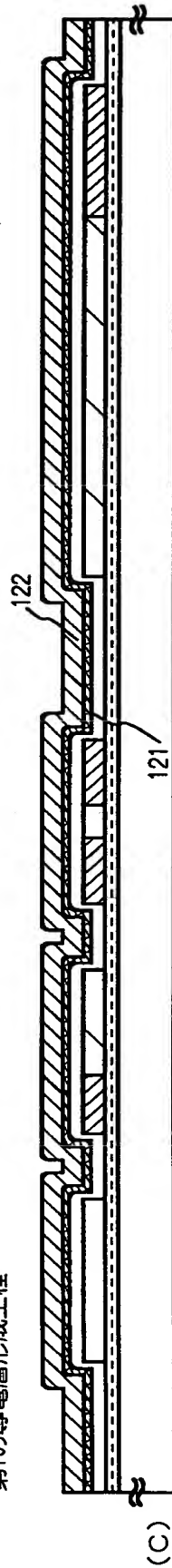
【図 2】



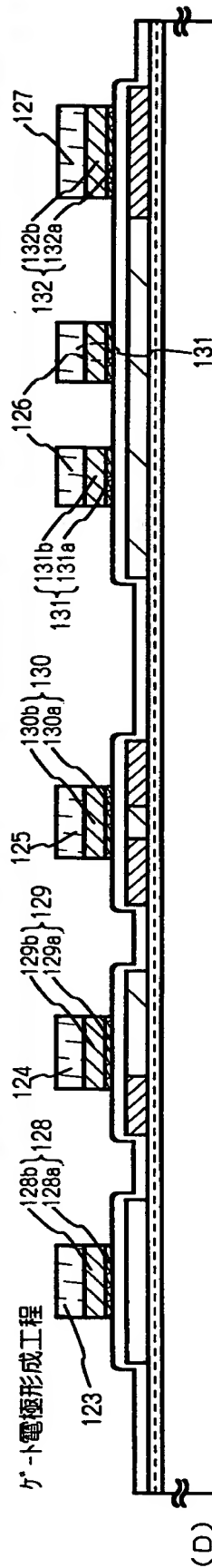
マスク層除去工程／ $\text{p}^+$ -活性化工程／ $\text{p}^+$ -絶縁膜成膜工程



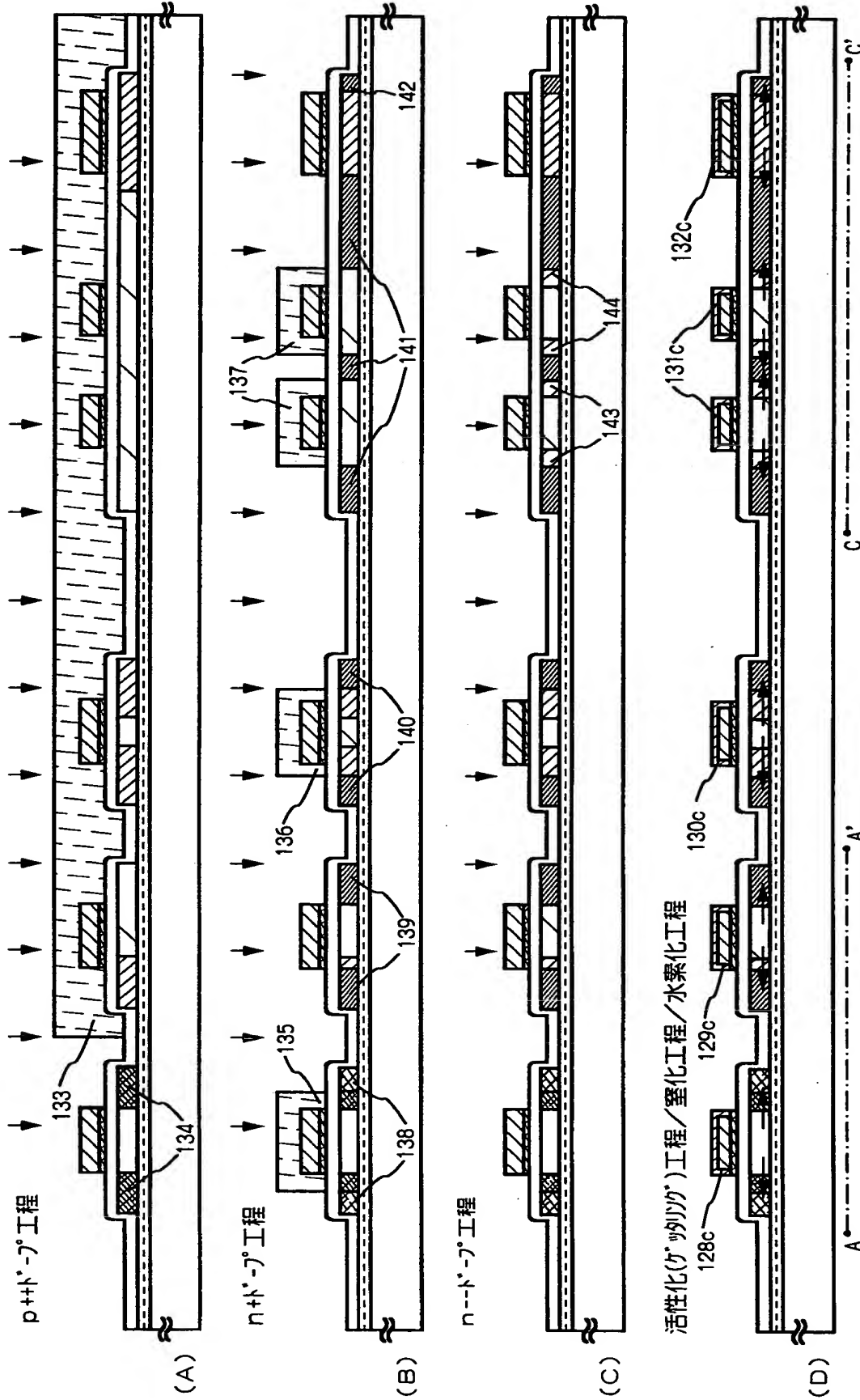
第1の導電層形成工程



$\text{p}^+$ -ト電極形成工程



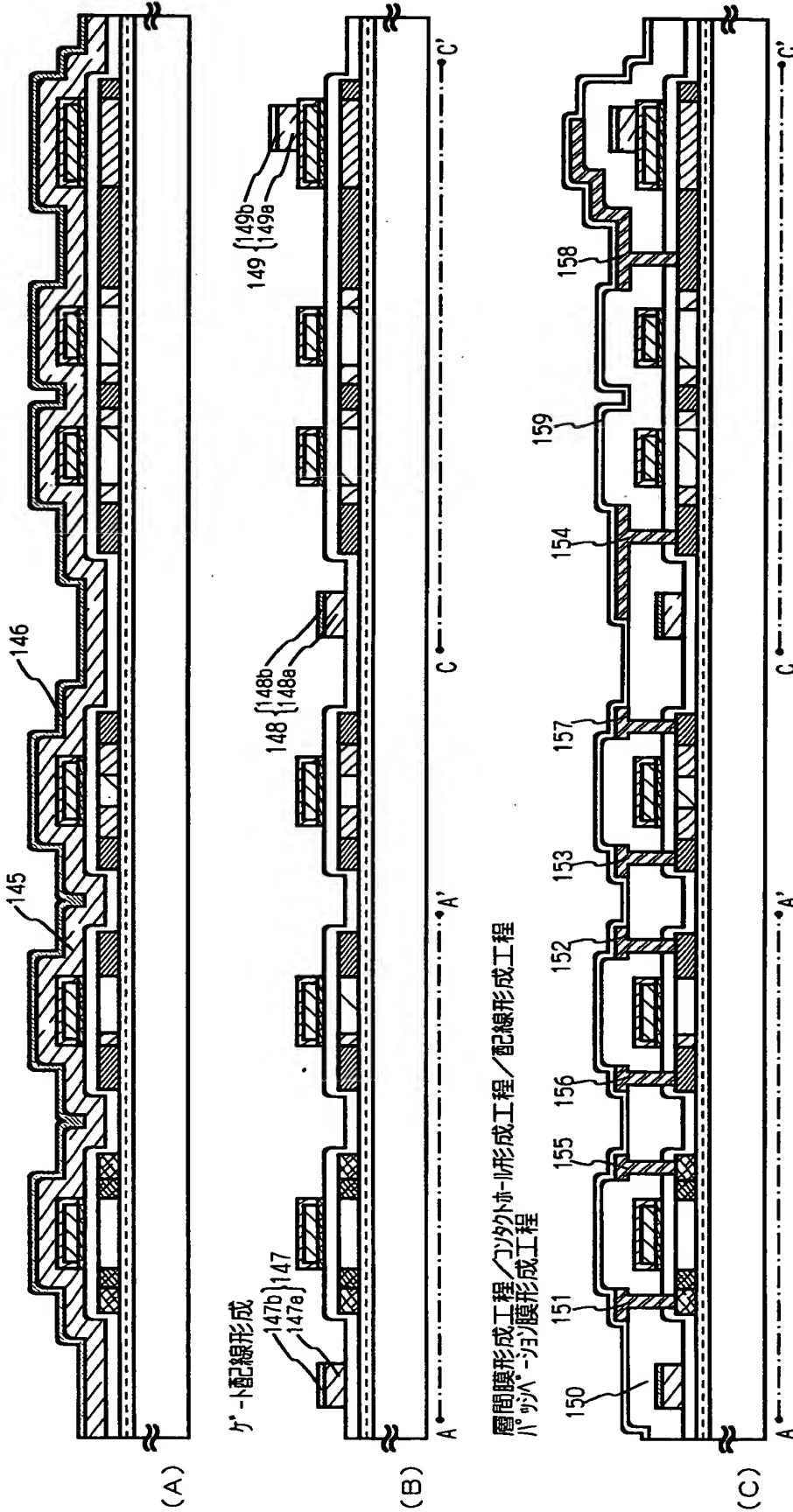
【図 3】





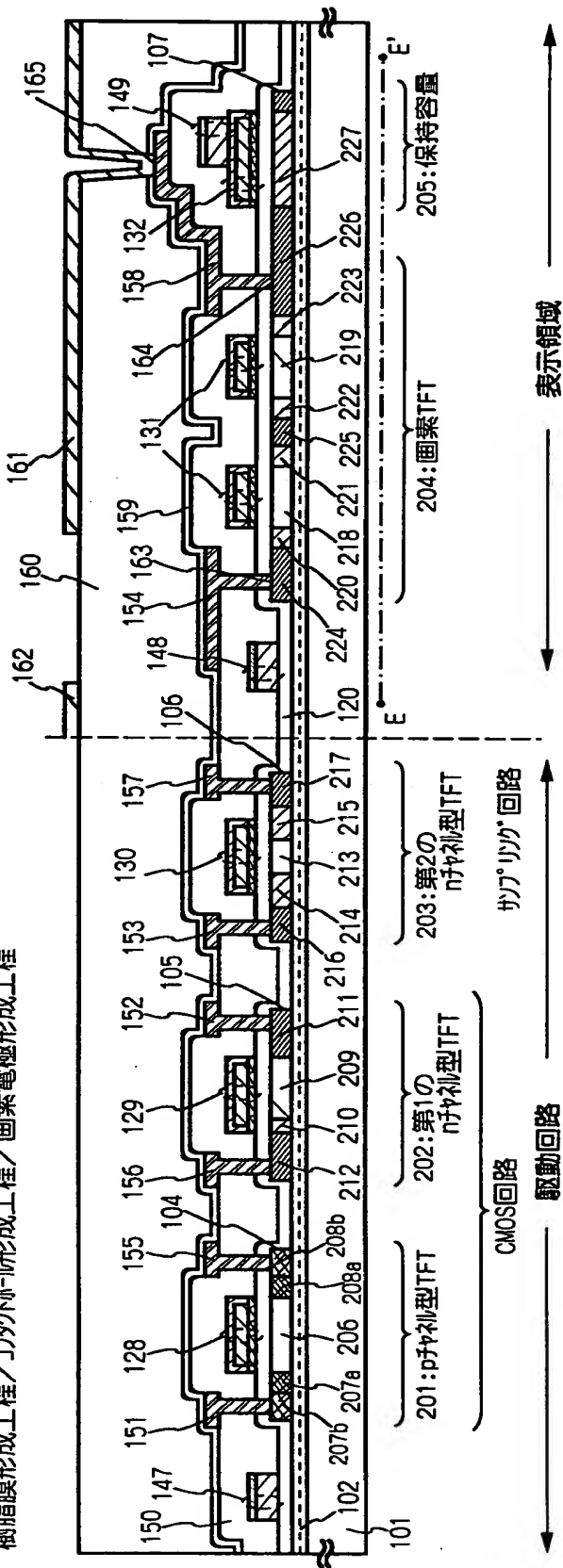
【図 4】

第2の導電層形成工程

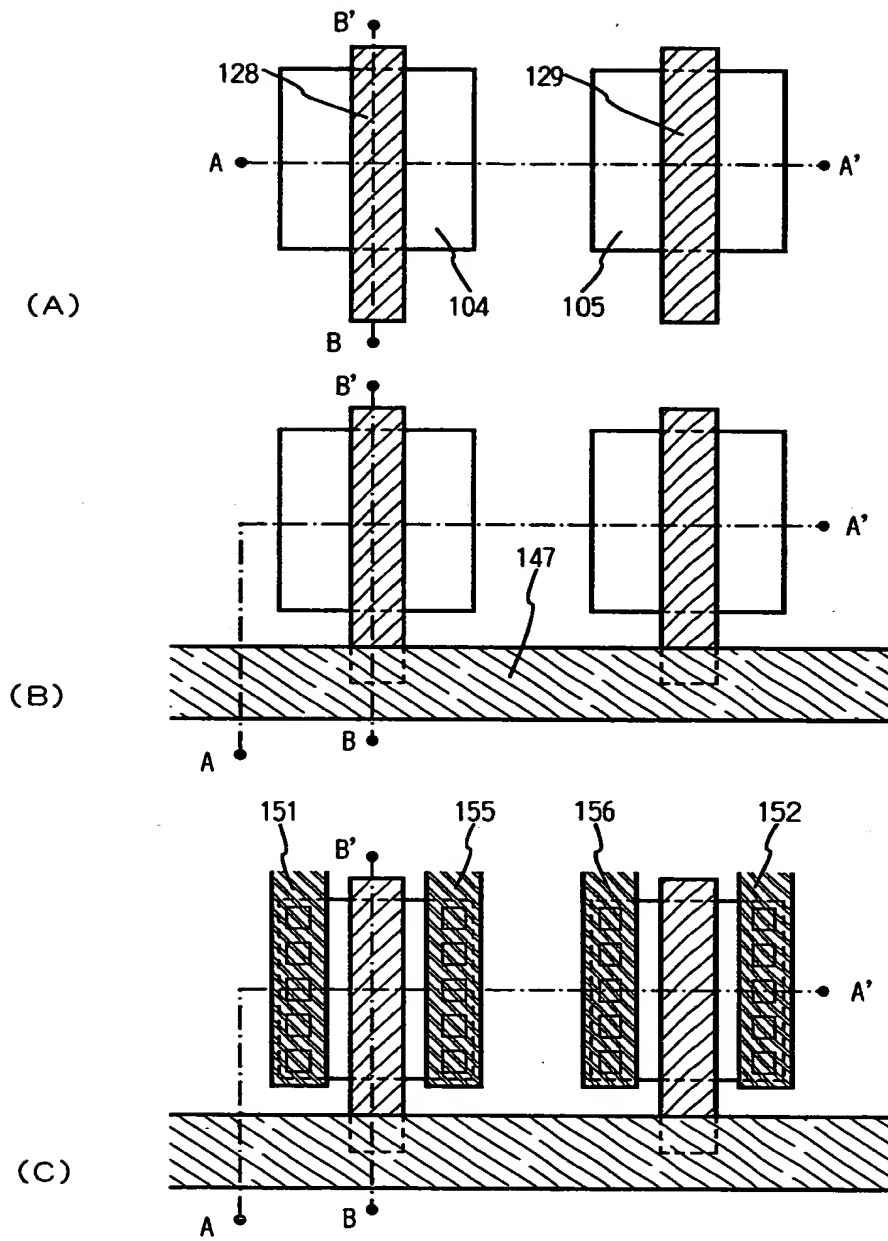


【図 5】

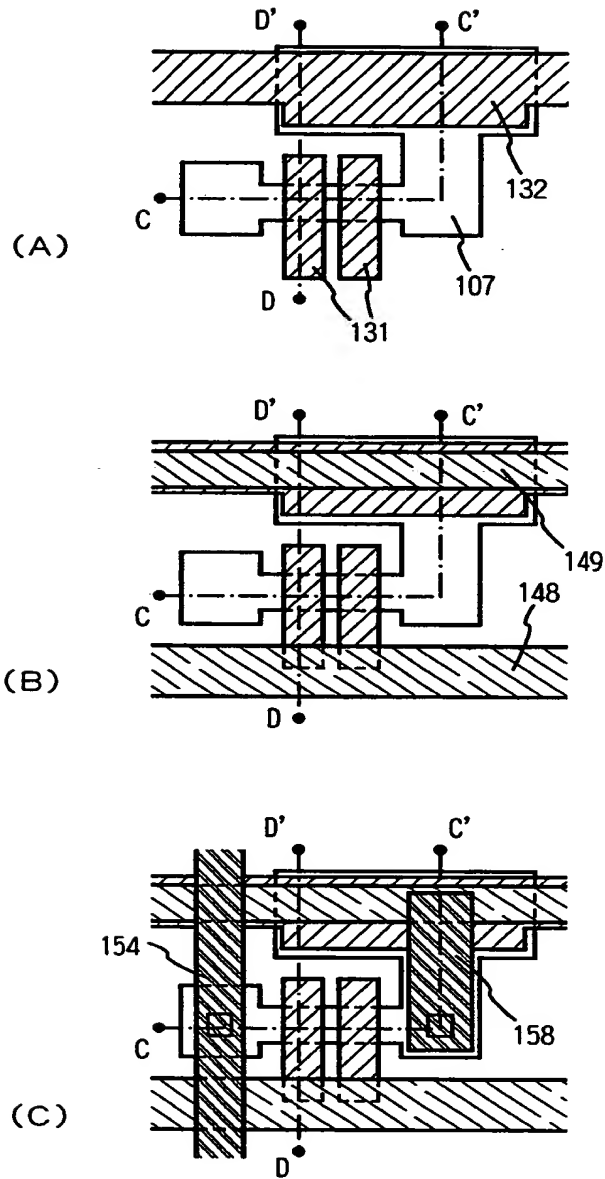
樹脂膜形成工程／シタクトル形成工程／画素電極形成工程



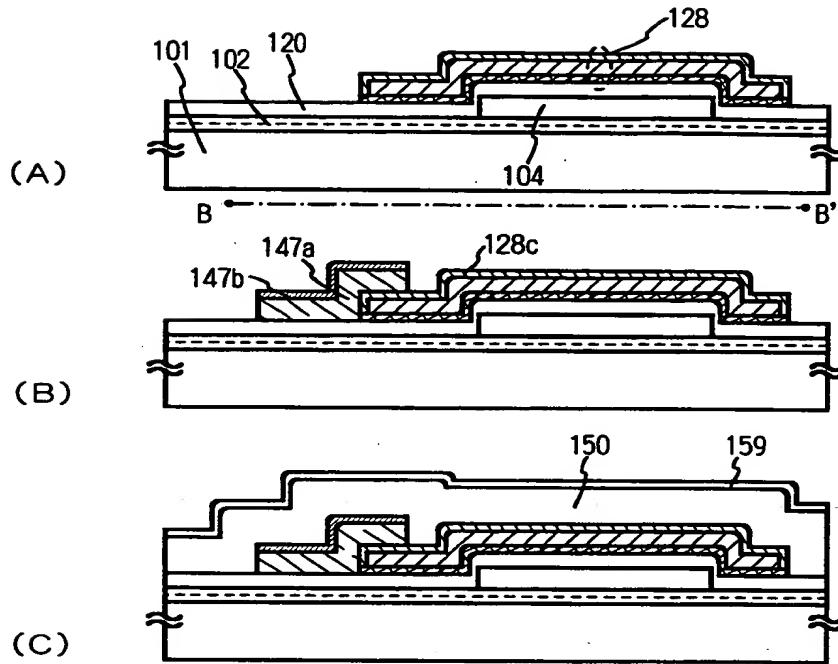
【図 6】



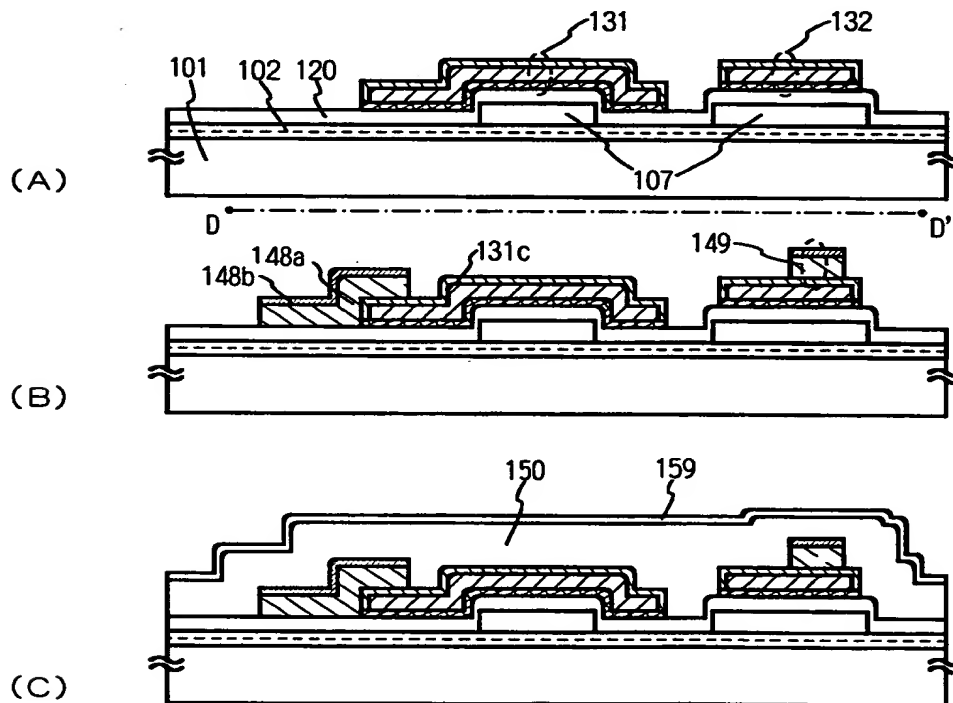
【図 7】



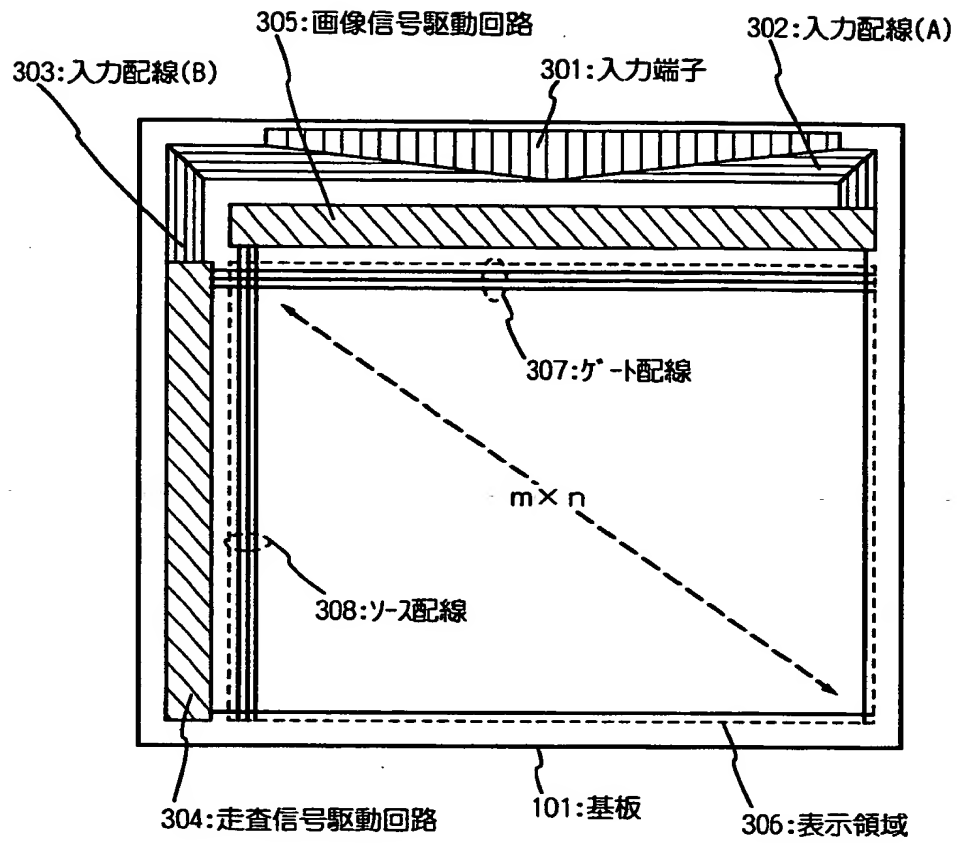
【図 8】



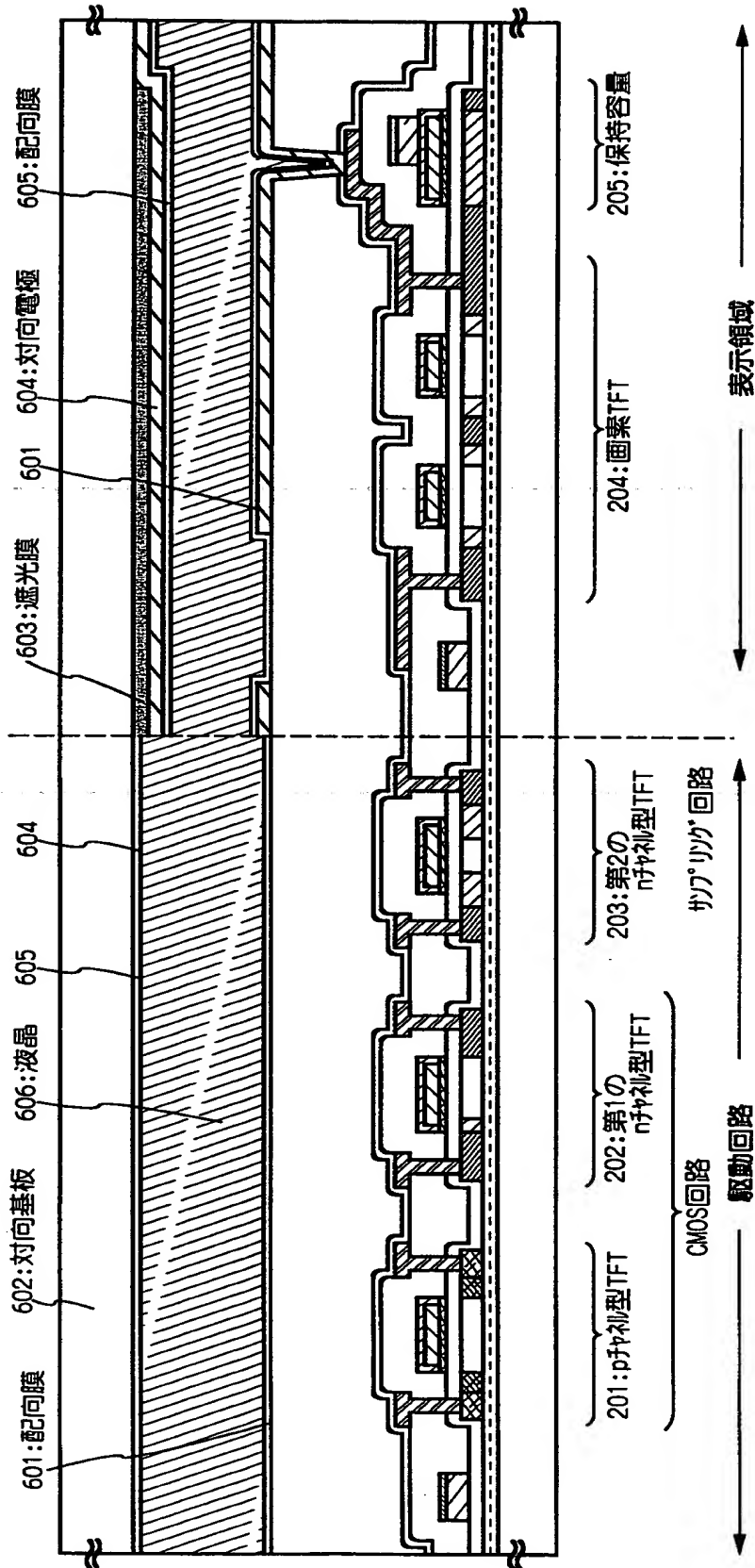
【図 9】



【図 1 0】

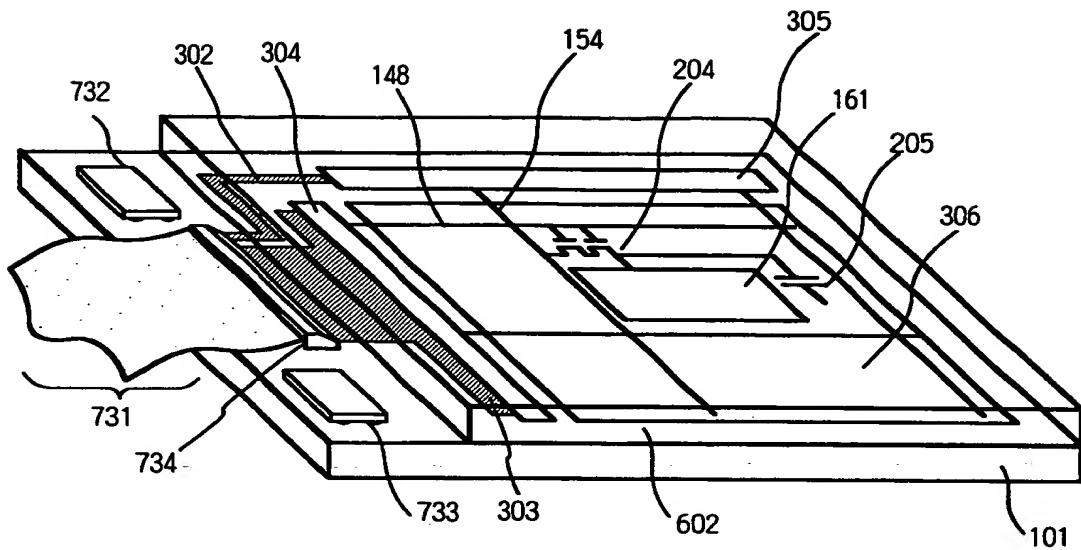


【図 1 1】



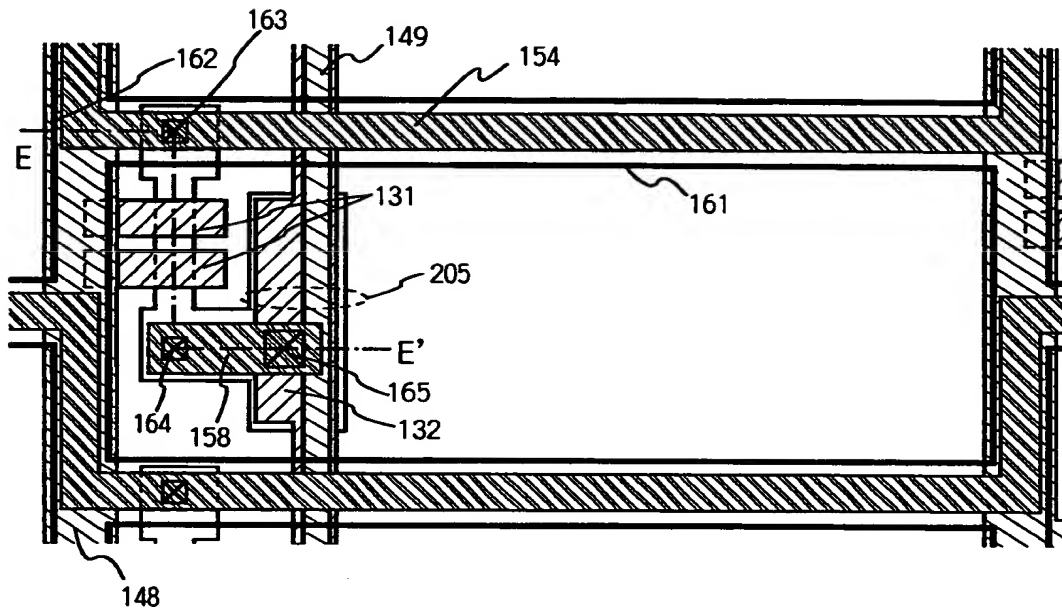


【図 1 2】

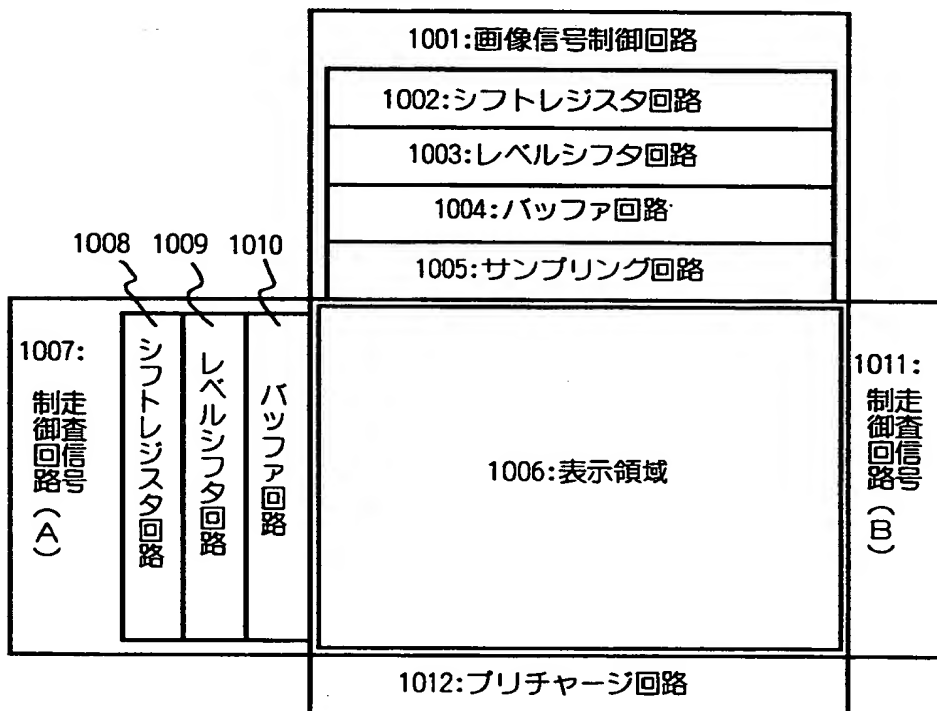


- 101 : 基板、  
 306 : 表示領域、 302、303 : 入力配線  
 304 : 走査信号駆動回路、 305 : 画像信号駆動回路  
 731 : FPC、 732、733 : ICチップ、  
 734 : 外部入出力端子  
 204 : 画素TFT  
 148 : ゲート配線、 154 : ソース配線  
 161 : 画素電極、 205 : 保持容量  
 602 : 対向基板

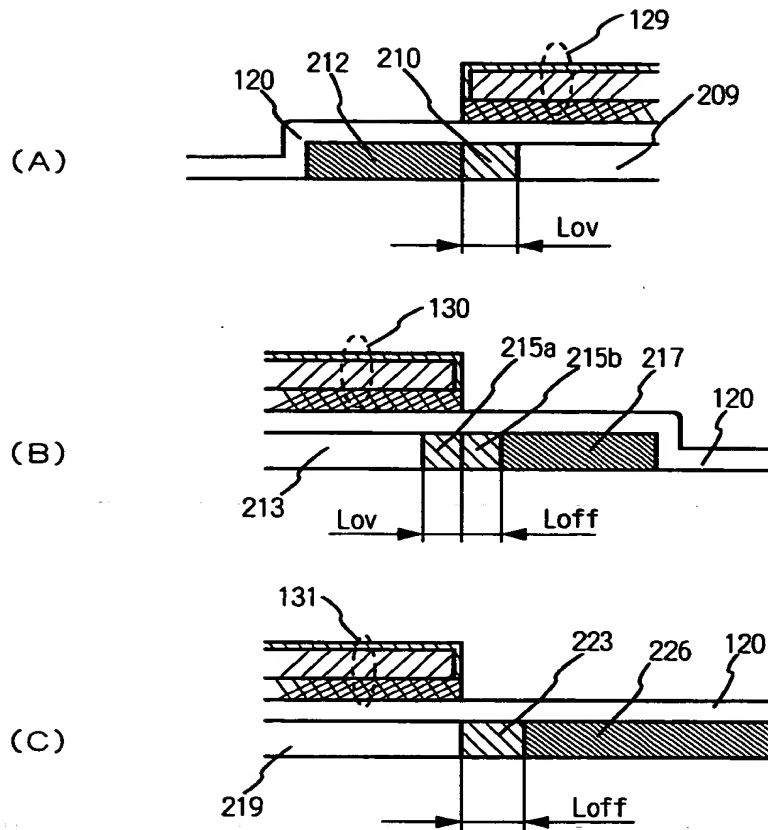
【図 1 3】



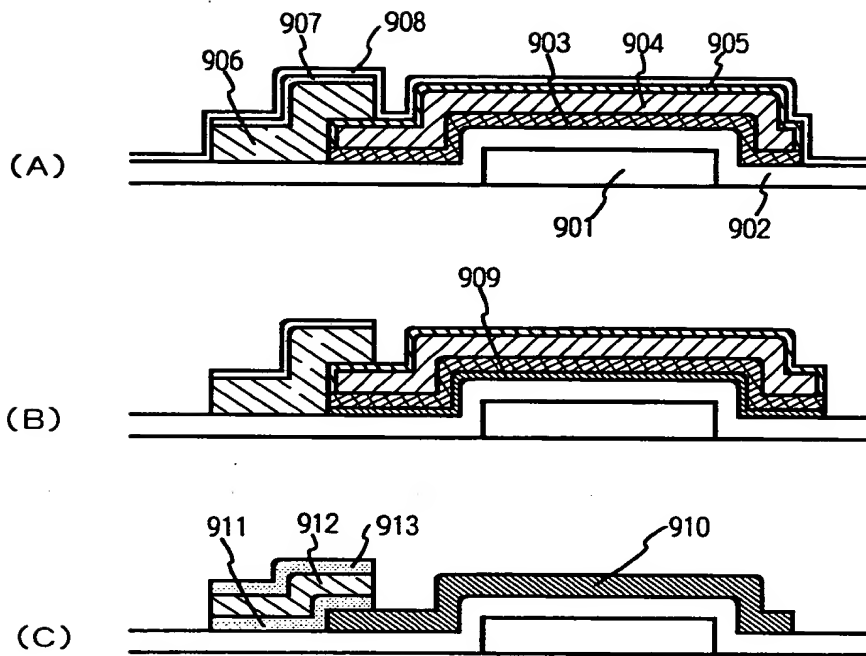
【図 1 4】



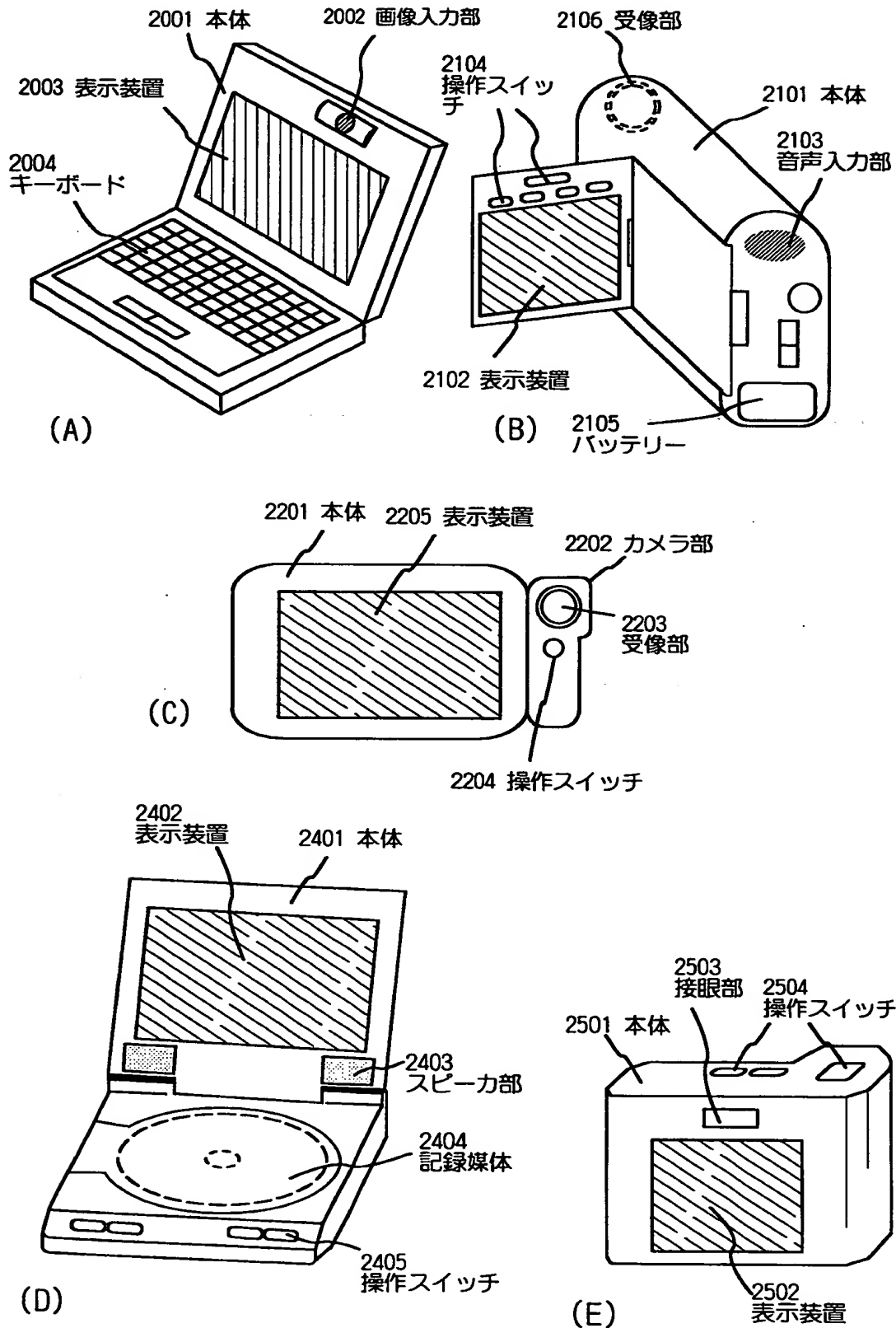
【図 1 5】



【図 1 6】



【図 17】



【書類名】 要約書

【要約】

【課題】 アクティブマトリクス型の表示装置の画面の面積化を可能とするゲート電極とゲート配線を提供することを第 1 の課題とする。

【解決手段】 上記課題を解決するために、本発明の構成は、表示領域に設けた画素 T F T と該表示領域の周辺に設けた駆動回路の T F T とを同一の基板上に有する半導体装置において、前記画素 T F T と前記駆動回路の T F T とのゲート電極を第 1 の導電層で形成し、前記ゲート電極は第 2 の導電層で形成されるゲート配線と接続部で電氣的に接触し、前記接続部は前記画素 T F T と前記駆動回路の T F T とが有するチャネル形成領域の外側に設ける。

【選択図】

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所